

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-078489  
(43)Date of publication of application : 20.03.1995

(51)Int.Cl.

G11C 17/18  
G11C 11/409  
G11C 11/41  
G11C 16/06

(21)Application number : 05-248824  
(22)Date of filing : 08.09.1993

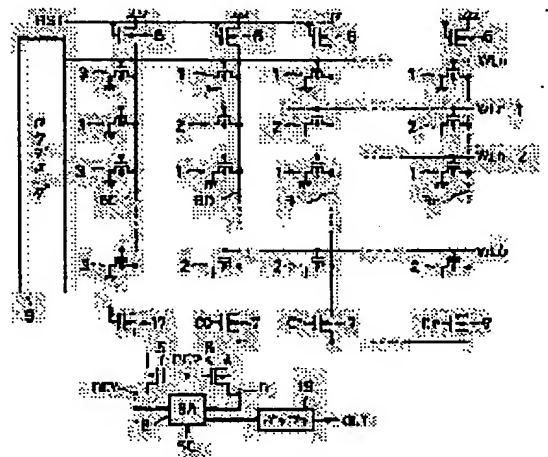
(71)Applicant : NEC CORP  
(72)Inventor : FURUYA NOBUO

## (54) STORAGE DEVICE

### (57)Abstract:

**PURPOSE:** To reduce power consumption affected by the charging and discharging of bit lines in a semiconductor storage device performing the readout of the single data of a ROM and a multiport RAM, etc.

**CONSTITUTION:** The initial potential of all bit lines B0 to Bn with which memory cells are connected and all dummy bit lines BD with which dummy memory cells are connected is set to a ground level. Only one pair of a bit line and a dummy bit line making a pair with the bit line from which a data is read out is selectively charged with a charging transistors 5. The potential difference between the bit lines is read out with a differential amplifier circuit 18.



## LEGAL STATUS

[Date of request for examination] 24.03.1994

[Date of sending the examiner's decision of rejection] 03.03.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 10-05199

[Date of requesting appeal against examiner's decision of rejection] 02.04.1998

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 複数のビット線と、一端が第1の基準電位に接続されるか解放状態かにより論理1または0を記憶し他端が前記ビット線に接続されたトランジスタ素子からなる複数のメモリセルと、ダミービット線と、前記メモリセルのトランジスタ素子とはコンダクタンスが異なり一端が前記第1の基準電位に接続され他端が前記ダミービット線に接続されたトランジスタ素子からなる複数のダミーセルと、前記ビット線の全て及び前記ダミービット線を前記第1の基準電位にリセットする手段と、このリセット後に外部指令により選択された1つのビット線とダミービット線とを第2の基準電位に充電する手段と、この充電後の選択ビット線とダミービット線との電位差を増幅する増幅手段とを含むことを特徴とする記憶装置。

【請求項2】 前記ダミーセルのトランジスタ素子の相互コンダクタンスが前記メモリセルのトランジスタ素子のその略半分に設定されていることを特徴とする請求項1記載の記憶装置。

【請求項3】 複数のビット線と、第1の基準電位と前記ビット線との間に直列接続された第1及び第2のトランジスタ素子と、互いに入出力が接続された一対のインバータからなり前記第1のトランジスタ素子の制御電極にラッチ出力が接続されたラッチ手段とからなる複数のメモリセルと、前記第2のトランジスタ素子の制御電極に接続された複数のワード線と、ダミービット線と、前記第1の基準電位と前記ダミービット線との間に直列接続された第3及び第4のトランジスタ素子からなるダミーセルと、前記第2及び第4のトランジスタ素子のゲート電極に接続された複数のワード線と、前記ビット線の全て及び前記ダミービット線を前記第1の基準電位にリセットする手段と、このリセット後に外部指令により選択された1つのビット線とダミービット線とを第2の基準電位に充電する手段と、この充電後の選択ビット線とダミービット線との電位差を増幅する増幅手段と、を含むことを特徴とする記憶装置。

【請求項4】 前記ダミーセルのトランジスタ素子の相互コンダクタンスが前記メモリセルのトランジスタ素子のその略半分に設定されていることを特徴とする請求項3記載の記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は記憶装置に関し、特にROMやRAM等の記憶装置におけるシングルデータの読出し時の低消費電力化に関するものである。

## 【0002】

【従来の技術】 ROMにおけるシングルデータの読出し高速化を目的とした従来技術として特開昭58-6591号公報がある。この従来技術では図7に示す様に、複数のメモリセル1または2が接続されるビット線と1つのダミーメモリセル3とが接続されるビット線を左右1対とし、この左右1対のビット線の各々に対応して設けられ対応ビット線対を差動入力とするラッチ型差動増幅センサンプ回路4を設けることによりデータ読出しを行っている。

【0003】 メモリセルとしては2種類（1，2で示す）あり、1つのメモリセル1はそのソース電極が接地され、ドレイン電極がビット線に接続されかつゲート電極がワード線に接続されたNMOSトランジスタからなる。または他の1つのメモリセル2はソース電極がフローティングで、ドレイン電極がビット線に接続され、かつゲート電極がワード線に接続されたNMOSトランジスタからなる。

【0004】 ダミーメモリセル3はソース電極が接地され、ドレイン電極がビット線に接続されかつゲート電極がダミーワード線に接続されており、そのコンダクタンスが通常のメモリセルの約1/2となっている。尚、9はロウデコーダ、10はメインセンサンプ、19はパッファを夫々示している。

【0005】 図7の読出し動作を図8のタイミングチャートを用いて説明する。信号PCが“L”（ロー）レベルの期間にビット線プリチャードトランジスタ11を介して全ビット線がVDDレベルにプリチャージされる。信号PCが“H”（ハイ）レベルになるとプリチャージトランジスタ11はオフレベルビット線はダイナミックにVDDレベルを保持する。

【0006】 次にロウデコーダ9により複数のワード線の中から1つのワード線が選択され“H”レベルに立上がる。ワード線群はセンサンプ4の左右に2分されているが、センサンプ右のワード線群の中からワード線WLmが選択された場合には、センサンプ左のワード線群に含まれるダミーワード線DWLlが選択される。センサンプ左のワード線WLnが選択された場合にはセンサンプ右のダミーワード線DWLrが選択される。

【0007】 図8のタイミングチャートではビット線B0Lに接続するメモリセルのデータ読出しを示している。

【0008】 ワード線WLnが“H”に立上がると、このワード線に接続される全てのメモリセルがオンする。このメモリセルのソース電極が接地されている場合には、このメモリセルが接続されるビット線の電位はメモリセルを介して放電され、VDDレベルから下がっていく。

【0009】 またダミーワード線DWLrが“H”に立

3

上ることにより、上記ビット線と対をなすビット線においてビット線電位はダミーメモリセル3によりVDDレベルから下っていく。ここでダミーメモリセル3のコンダクタンスは通常のメモリセルの約1/2としてあるためダミーメモリセル3によるビット線電位変化は通常のメモリセル1によるビット線の電位変化の約1/2となる。このためこのビット線対には電位差が生じる。

【0010】この逆の場合で、ワード線WL<sub>n</sub>により選択されたメモリセルのソース電極がフローティングの場合には、電流バスが存在しないためビット線はVDDレベルを保持する。この時もダミーメモリセル3が接続されるビット線はVDDレベルから下っていくためビット線対には電位差が生じる。ダミーメモリセル3によるビット線電位は、通常メモリセル1によるビット線電位とVDD電位の中間のリファレンス電位を作り出している。

【0011】次にイネーブル信号SEが“H”に立上がりラッチ型差動増幅センスアンプ回路4を活性化し、ビット線対に生じた上記微小電位差を増幅する。またCLOが“H”に立上がりビット線対BOL・BORを選択し、カラム選択トランジスタ7を介してデータがデータ線D、DBに読出される。このデータ線D、DBに読出されたデータをメインセンスアンプ10により増幅し出力バッファ19によりデータを出力する。

【0012】この様にダミーメモリセル3を用いてリファレンス電位を作り出すことにより、シングルデータの読出しを差動増幅センスアンプ回路4によって行うことが可能になり高速な読出しを実現している。選択したメモリセルのソース電極の接地の有無によりデータ“0”、“1”が読出される。

【0013】上記の読出し回路と原理的にはほとんど同じであるが、ダミーメモリセルを用いたもう一つのROMシングルデータ読出し回路が、特開平2-78099号公報に従来技術として開示されており、これを図9に示す。

【0014】図9では2つのビット線がペアとなりこのペアビット線対に対して差動増幅センスアンプ4を設けている。図9の回路ではメモリセルはソース電極が電源に接続されるものとフローティングのNMOS12、13よりなる。また、ダミーメモリセル14は通常のメモリセルと同じコンダクタンスとされており、ソース電極は電源に接続されている。

【0015】この読出し回路の動作を図10のタイミングチャートを用いて説明する。信号RSTが“H”レベルの期間にビット線ディスチャージトランジスタ6を介して全ビット線が接地レベルにディスチャージされる。信号STが“L”レベルに立下がると、このディスチャージトランジスタ6はオフする。

【0016】次にロウデコーダ9により複数のワード線の中から1つのワード線が選択され“H”レベルに立上

4

がる。ワード線群はセンスアンプの左右に2分されているが、センスアンプ右のワード線群の中からワード線WL<sub>m</sub>が選択された場合には、センスアンプ左のワード線群に含まれるダミーワード線DWL<sub>L</sub>が選択される。センスアンプ左のワード線WL<sub>n</sub>が選択された場合にはセンスアンプ右のダミーワード線DWL<sub>R</sub>が選択される。

【0017】図10のタイミングチャートでは、ビット線BOLに接続するメモリセルのデータ読出しを示している。ワード線WL<sub>n</sub>が“H”に立上がるとこのワード線に接続される全てのメモリセルがオンする。またダミーワード線DWL<sub>R</sub>が“H”に立上がり、このダミーワード線に接続される全てのダミーメモリセルがオンする。

【0018】さらに選択信号C0Lが“H”に立上がり、センスアンプ左のペアビット線の一方がラッチ型差動増幅センスアンプ回路4の入力へと接続される。このペアビット線と対をなすセンスアンプ右側のペアビット線では、選択信号C0R、C1Rの双方が“H”に立上がりペアビット線が共にラッチ型差動増幅センスアンプ4のもう一方の入力へと接続される。したがってダミーメモリセル14が駆動するビット線負荷は通常メモリセルが駆動するビット線負荷の2倍となる。

【0019】メモリセルがオンすると、このメモリセルのソース電極が電源に接続されている場合には、このメモリセル12が接続するビット線の電位はメモリセル12を介して充電され、接地レベルから上昇していく。この時このビット線と対をなすビット線においても電位はダミーメモリセル14により接地レベルから上昇していく。

【0020】ここで、ダミーメモリセル14の駆動するビット線負荷は2倍であるため、ダミーメモリセル14によるビット線電位変化は通常のメモリセル12の充電によるビット線電位変化の約1/2となる。このためラッチ型差動増幅センスアンプ4の入力には電位差が生じる。

【0021】この逆の場合で、ワード線WL<sub>n</sub>により選択されたメモリセルのソース電極がフローティングの場合には、電流バスが存在しないためビット線は接地レベルを保持する。この時もダミーメモリセル14が接続するビット線は接地レベルから上昇していくため、ラッチ型差動増幅センスアンプ4の入力には電位差が生じる。

【0022】ダミーメモリセル14によるビット線電位は、通常メモリセル12によるビット線電位と接地電位の中間のリファレンス電位を作り出している。

【0023】次に信号SEが“H”に立上がりラッチ型差動増幅センスアンプ回路4が活性化され、選択信号C0L、C0R、C1R立下がりビット線がセンスアンプ入力から切離され、差動増幅センスアンプ回路4は入力された微小電位差を増幅する。またCLOが“H”に立上がり、カラム選択トランジスタ7を介して増幅されたセンスアンプ入力N1、N2のデータがデータ線D、

5

DBに読出される。このデータ線D、DBに読出されたデータをメインセンスアンプ10により増幅し、出力バッファ19によりデータを出力する。

【0024】この様に、図7と同様にダミーメモリセル14を用いてリファレンス電位を作ることにより、シングルデータの読出しを差動増幅センスアンプ回路4により行い高速読出しを実現している。選択したメモリセルのソース電極の電源への接続の有無によりデータ“0”、“1”が読出されることになる。

【0025】

【発明が解決しようとする課題】大規模なメモリにおいては図5、7の様にメモリセルを複数ロウ、複数カラムのマトリックス状に配置している。この様にマトリックス状に配置されたメモリセルでは、1つのロウワード線が選択されるとこのワード線に接続するカラム分けされた全てのメモリセルが活性化され、各々のメモリセルのデータは各カラムのビット線に読出される。これらのビット線のうち1つを出力回路に選択的に接続し、データを出力する。

【0026】図5では予め全ビット線をVDDレベルにプリチャージし、メモリセルおよびダミーメモリセルによりこのビット線の電荷を放電し読出しを行っている。この回路では選択されないカラムのビット線の電荷は、必要が無いにもかかわらず読出し動作中はメモリセルにより放電される。次の読出し動作は再度全ビット線をプリチャージして行われるため、選択されないカラムのビット線においては、ビット線の充放電が不要に行われることになる。

【0027】“0”読出しが行われる場合には、メモリセルとダミーメモリセルの双方でビット線対の放電が行なわれる。ただしダミーメモリセルによる放電はメモリセルの約1/2である。“1”読出しが行なわれる場合にはダミーメモリセルのみでビット線の放電が行われる。

【0028】“0”データを持ったメモリセルと“1”データを持ったメモリセルが確率的に50%ずつ含まれるとすると、ビット線の充放電により消費される電力は以下の式で求められる。

【0029】 $C \times V \times f \times (CN/2) \times VDD + C \times (V/2) \times f \times CN \times VDD = C \times V \times f \times CN \times VDD$  (W)

ここで、Cはビット線容量(F)、Vは通常メモリセルの放電によるビット線電位変化(V)、fは動作周波数(Hz)、CNはカラム総数(個)、VDDは電源電圧(V)を夫々示す。

【0030】上記式より、ビット線の充放電による消費電力はビット線の容量とカラム総数に比例しているが、大規模メモリにおいてはこのビット線の容量は数pFレベルと大きく、またカラム総数も数百となる。

【0031】このため全ビット線で充放電による消費電

6

力が生じている図5の回路では、上記式で求められる消費電力は数十mWと大きなものになる。このためメモリ回路全体の消費電力に占めるビット線充放電電力の割合は約1/3~1/2となっており、メモリの低消費電力化の大きな課題となっている。

【0032】図7の回路では、全ビット線を接地レベルにディスチャージしてからメモリセルによりビット線を充電することにより読出しを行っている。この場合は選択されないカラムのビット線が読出し動作中に不要に充電されることになり、ビット線の充放電に要する電力は図5の場合と同じ式で表わされる。

【0033】この様に従来のシングルデータの読出し回路では、必要が無いにもかかわらず全ビット線で読出し動作中に初期電位からの変動が生じ、ビット線の充放電電力の増加を招いていた。

【0034】本発明の目的は、ビット線の充放電電力の増加をなくして消費電力を低減することが可能な記憶装置を提供することである。

【0035】

【課題を解決するための手段】本発明による記憶装置は複数のビット線と、一端が第1の基準電位に接続されるか解放状態かにより論理1または0を記憶し他端が前記ビット線に接続されたトランジスタ素子からなる複数のメモリセルと、ダミービット線と、前記メモリセルのトランジスタ素子とはコンダクタンスが異なり一端が前記第1の基準電位に接続され他端が前記ダミービット線に接続されたトランジスタ素子からなる複数のダミーセルと、前記ビット線の全て及び前記ダミービット線を前記第1の基準電位にリセットする手段と、このリセット後に外部指令により選択された1つのビット線とダミービット線とを第2の基準電位に充電する手段と、この充電後の選択ビット線とダミービット線との電位差を増幅する増幅手段とを含むことを特徴とする。

【0036】本発明による他の記憶装置は、複数のビット線と、第1の基準電位と前記ビット線との間に直列接続された第1及び第2のトランジスタ素子と、互いに入出力が接続された一対のインバータからなり前記第1のトランジスタ素子の制御電極にラッチ出力が接続されたラッチ手段とからなる複数のメモリセルと、前記第2のトランジスタ素子の制御電極に接続された複数のワード線と、ダミービット線と、前記第1の基準電位と前記ダミービット線との間に直列接続された第3及び第4のトランジスタ素子からなるダミーセルと、前記第2及び第4のトランジスタ素子のゲート電極に接続された複数のワード線と、前記ビット線の全て及び前記ダミービット線を前記第1の基準電位にリセットする手段と、このリセット後に外部指令により選択された1つのビット線とダミービット線とを第2の基準電位に充電する手段と、この充電後の選択ビット線とダミービット線との電位差を増幅する増幅手段と、を含むことを特徴とする。

【0037】

【実施例】次に本発明について図面を参照して説明する。

【0038】図1は本発明の第1の実施例の回路図であり、ROMのメモリセルとその読み出し回路を示しており、図7のROMと対応するものである。図1において、メモリセルは2種類あり、その1つは、ソース電極が接地されドレイン電極がビット線に接続されかつゲート電極がワード線に接続されたNMOSトランジスタ1からなる。また、他の1つは、ソース電極がフローティングでドレイン電極がビット線に接続されかつゲート電極がワード線に接続されたNMOSトランジスタ2からなる。

【0039】ダミーメモリセル3は、ソース電極が接地されドレイン電極がビット線に接続されかつゲート電極がワード線に接続されており、そのコンダクタンスが通常のメモリセルの約1/2となっている。

【0040】図1の読出し動作を図2のタイミングチャートを用いて説明する。信号RSTが“H”の期間にビット線ディスチャージトランジスタ6を介して全ビット線B0～Bn、BDが接地レベルにディスチャージされる。信号RSTが“L”レベルに立下がると、このディスチャージトランジスタ6はオフする。

【0041】次に、ロウデコーダ9により複数のワード線WL0～WLnの中から1つのワード線が選択され“H”レベルに立上がり、このワード線に接続される全てのメモリセルとダミーメモリセルがオンする。さらに選択信号C0が“H”に立上がり、ビット線B0が差動増幅センスアンプ回路18の入力へと接続され、PCRが“L”に立下がり、ビット線チャージトランジスタ5によりビット線B0、ダミービット線BDの1組のビット線のみがチャージされる。

【0042】このとき選択されたメモリセルのソース電極が接地されている場合（メモリセル1の場合）には、ビット線B0の電位はメモリセル1とビット線チャージトランジスタ5のコンダクタンスの比により決まる。この時このビット線と対をなすダミービット線BDにおいても電位はダミーメモリセル3とビット線チャージトランジスタ5のコンダクタンスの比により決まる。

【0043】ここでダミーメモリセル3のコンダクタンスは通常メモリセル1の1/2であるため、ダミーメモリセル3によるダミービット線BDの電位はメモリセル1によるビット線B0の電位の約2倍となる。このため差動増幅センスアンプ18の入力D、DDYには電位差が生じる。

【0044】この逆の場合で選択されたメモリセルのソース電極がフローティングの場合（メモリセル2の場合）には、電流パスが存在しないためビット線B0はビット線チャージトランジスタ5によりチャージされていく。この時もダミーメモリセル3が接続されるダミービ

ット線BDの電位は上記のコンダクタンス比により決まる電位となるため、メモリセル2が接続されるビット線B0の電位よりも低電位となる。このため差動増幅センスアンプ18の入力D、DDYには電位差が生じる。

【0045】ダミーメモリセル3によるダミービット線BDの電位は、通常メモリセルによる“H”ビット線電位と“L”ビット線電位の中間のリファレンス電位を作り出している。

【0046】次に、イネーブル信号SEが“H”に立上がり差動増幅センスアンプ回路18が活性化され、入力された微小電位差を増幅し出力バッファ19によりデータが出力される。

【0047】図3は本発明の第2の実施例の回路図であり、マルチポートRAMのメモリセルとその読出し専用ポートの読出し回路を示している。図3において、メモリセル15は、マルチポートRAMのメモリセルの一部を示しており、2つのインバータからなるラッチによりデータが保持され、接地電位とビット線との間で直列に接続された2つのNMOSからなる読出しポートにおいて、接地側のNMOSのゲートをこの保持データでコントロールしている。

【0048】ダミーメモリセル16は接地電位とダミービット線BDとの間で直列に接続された2つのNMOSからなり、そのコンダクタンスはメモリセル15に含まれる上記の2つのNMOSの約1/2となっている。

【0049】図3の読出し動作を図4のタイミングチャートを用いて説明する。信号RSTが“H”の期間に、ビット線ディスチャージトランジスタ6を介して全ビット線が接地レベルにディスチャージされる。信号RSTが“L”レベルに立下がると、このディスチャージトランジスタ6はオフする。

【0050】次に、ロウデコーダ9により複数のワード線の中から1つのワード線が選択され“H”レベルに立上がり、このワード線に接続される全てのメモリセルとダミーメモリセルとがオンする。さらに選択信号C0が“H”に立上がり、ビット線B0が差動増幅センスアンプ回路18の入力へと接続され、PCRが“L”に立下がり、ビット線チャージトランジスタ5によりビット線B0、ダミービット線BDの1組のビット線のみがチャージされる。

【0051】このとき選択されたメモリセル15の保持データが“H”の場合には、ビット線B0の電位はメモリセル15とビット線チャージトランジスタ5とのコンダクタンスの比により決まる。この時このビット線と対をなすダミービット線BDにおいても電位はダミーメモリセル16とビット線チャージトランジスタ5とのコンダクタンスの比により決まる。

【0052】ここでダミーメモリセル16のコンダクタンスは通常メモリセル15の1/2であるため、ダミーメモリセル16によるダミービット線BDの電位はメモ

9

リセルによるビット線B0の電位の約2倍となる。このため差動増幅センスアンプ18の入力D、DDYには電位差が生じる。

【0053】この逆の場合で選択されたメモリセルの保持データが“L”の場合には、電流バスが存在しないためビット線B0はビット線チャージトランジスタ5によりチャージされていく。この時もダミーメモリセル16が接続するダミービット線BDの電位は上記のコンダクタンス比により決まる電位となるため、メモリセル15が接続するビット線B0の電位よりも低電位となる。このため差動増幅センスアンプ18の入力D、DDYには電位差が生じる。

【0054】ダミーメモリセル16によるダミービット線BDの電位は、通常メモリセルによる“H”ビット線電位と“L”ビット線電位の中間のリファレンス電位を作り出している。

【0055】次にイネーブル信号SEが“H”に立上がり差動増幅センスアンプ回路18が活性化され、入力された微小電位差を増幅しバッファ19によりデータが出力される。

【0056】図3の様に、本発明はROMのみでなくマルチポートRAMといったシングルデータの読出しを行うメモリに広く適用できる。

【0057】図5は本発明の第3の実施例の回路図であり、メモリセルをセンスアンプに対して2分しビット線を疑似的にダミービット線として用いる大規模ROMに本発明の回路を適応した例である。

【0058】図5において、メモリセルはそのソース電極が接地されドレイン電極がビット線に接続されかつゲート電極がワード線に接続されたNMOSTランジスタ1と、ソース電極がフローティングでドレイン電極がビット線に接続されかつゲート電極がワード線に接続されたNMOSTランジスタ2との2種がある。

【0059】ダミーメモリセル3はソース電極が接地されてドレイン電極がビット線に接続されかつゲート電極がダミー用ワード線に接続されており、そのコンダクタンスが通常のメモリセルの約1/2となっている。

【0060】図5の読出し動作を図6のタイミングチャートを用いて説明する。信号RSTが“H”の期間にビット線ディスチャージトランジスタ6を介して全ビット線が接地レベルにディスチャージされる。信号RSTが“L”レベルに立下がると、このディスチャージトランジスタ6はオフする。

【0061】次にロウデコーダ9により複数のワード線の中から1つのワード線が選択され“H”レベルに立上がる。ワード線群はセンスアンプの左右に2分されているが、センスアンプ右のワード線群の中からワード線W<sub>Lm</sub>が選択された場合には、センスアンプ左のワード線群に含まれるダミーワード線DWL<sub>L</sub>が選択される。センスアンプ左のワード線WL<sub>n</sub>が選択された場合には、

10

センスアンプ右のダミーワード線DWL<sub>R</sub>が選択される。

【0062】図6のタイミングチャートではビット線B0Lに接続するメモリセルのデータ読出しを示している。

【0063】ワード線WL<sub>n</sub>が“H”に立上がるとこのワード線に接続する全てのメモリセルがオンする。またダミーワード線DWL<sub>R</sub>が“H”に立上がり、このダミーワード線に接続される全てのダミーメモリセルがオンする。さらに選択信号C0が“H”に立上がり、ペアビット線的一方がラッチ型差動増幅センスアンプ回路4の入力へと接続される。

【0064】またPC0が“L”に立下がり、ビット線チャージトランジスタ5により全ビット線の中でビット線B0L、B0Rの1組のビット線のみがチャージされる。

【0065】このとき選択されたメモリセルのソース電極が接地されている場合には、このメモリセルが接続されるビット線B0Lの電位はメモリセル1とビット線チャージトランジスタ5とのコンダクタンスの比により決まる。この時このビット線と対をなすビット線B0Rにおいても、電位はダミーメモリセル3とビット線チャージトランジスタ5とのコンダクタンスの比により決まる。

【0066】ここでダミーメモリセル3のコンダクタンスは通常メモリセルの1/2であるため、ダミーメモリセル3によるビット線B0Rの電位は通常のメモリセル1によるビット線B0Lの電位の約2倍となる。このためラッチ型差動増幅センスアンプ4の入力には電位差が生じる。

【0067】この逆の場合で選択されたメモリセルのソース電極がフローティングの場合には、電流バスが存在しないためビット線B0Lはビット線チャージトランジスタ5によりチャージされていく。この時もダミーメモリセル3が接続されるビット線B0Rの電位は上記のコンダクタンス比により決まる電位となるため、メモリセルが接続されるビット線B0Lの電位よりも低電位となる。このため、ラッチ型差動増幅センスアンプ4の入力には電位差が生じる。

【0068】ダミーメモリセルによるビット線電位は、通常メモリセルによる“H”ビット線電位と“L”ビット線電位の中間のリファレンス電位を作り出している。

【0069】次に信号PC0が“L”に立上がり信号SE0が“H”に立上ってラッチ型差動増幅センスアンプ回路4が活性化され、選択信号C0が立上がりビット線がセンスアンプ入力から切離され、差動増幅センスアンプ回路4はN1、N2に入力された微小電位差を増幅する。

【0070】また、CL0が“H”に立上がり、カラム選択トランジスタ7を介して増幅されたセンスアンプ入

カN1、N2のデータがデータ線D、DBに読出される。このデータ線D、DBに読出されたデータをメインセンスアンプ10により増幅し出力バッファ19によりデータを出力する。

【0071】信号PC0、CL0、SE0は読出しを行うカラムに対してのみ回路を活性化している。選択されたメモリセルのソース電極の接地の有無によりデータ“0”、“1”が読出される。

【0072】尚、上記各実施例においては、電源電位やトランジスタ素子の導電型を全て図示とは逆の極性とする10ことができ、この場合も全く同様の作用効果がある。

【0073】

【発明の効果】本発明によれば、ビット線及びダミービット線の全てを読出し直前に、各メモリセルが接続された基準電位（各実施例では接地電位）にリセットし、外部からのアドレスにより選択された1つのビット線及びダミービット線のみを他の基準電位（各実施例では高電源電位）へチャージアップするようにしているので、従来技術の如く、全てのビット線の充放電を行う必要がなく、低消費電力の効果がある。

【0074】本発明における消費電力は主にメモリセル及びダミーメモリセルとビット線チャージ用トランジスタを介して流れる貫通電流として消費される。

【0075】従来回路ではビット線の充放電に要する総消費電力は、

$$C \times V \times f \times CN \times VDD \text{ (W)}$$

で表されることを示したが、本発明では、ビット線チャージトランジスタとメモリセルを介して貫通電流が流れるため、上式では、 $C \times V$ で表される1ビット線当りの消費電流は2〜3倍となる。

【0076】しかしながら、この電流が消費されるのは、1列のビット線のみであり、上式のカラム総数を示すCNは1となる。従って、ビット線の充放電に要する消費電力は $2/CN \sim 3/CN$ に削減され、メモリ全体では、極めて大きな低消費電力化が図れるのである。

【0077】また、本発明では、ダミーメモリセルを用いて差動増幅回路によるデータ読出しを行っているの15で、従来に比し、読出しの高速性は損われない。よって、本回路を用いることにより、高速でかつ低消費電力のROM、マルチポートRAM等の半導体記憶装置が実現できることになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】第1の実施例の動作タイミングチャートである。10

【図3】本発明の第2の実施例の回路図である。

【図4】第2の実施例の動作タイミングチャートである。

【図5】本発明の第3の実施例の回路図である。

【図6】第3の実施例の動作タイミングチャートである。

【図7】従来回路例を示す図である。

【図8】従来回路例の動作タイミングチャートである。

【図9】第2の従来回路例を示す図である。

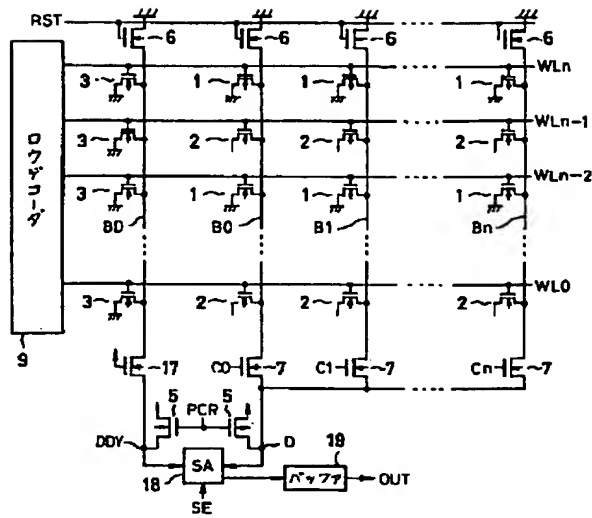
【図10】第2の従来回路例の動作タイミングチャートである。20

【符号の説明】

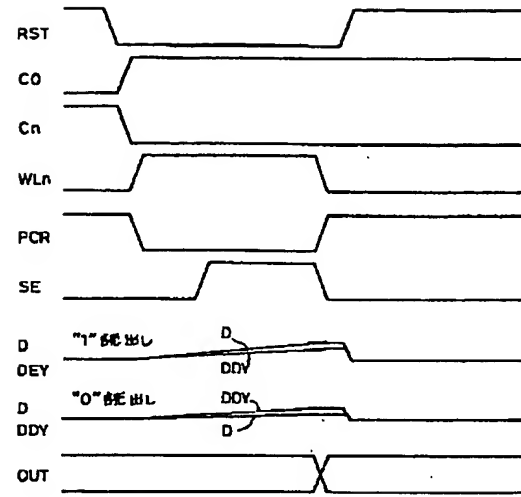
- 1, 12 コード“1”のメモリセル
- 2, 13 コード“0”のメモリセル
- 3, 14, 16 ダミーメモリセル
- 4, 18 ラッチ型差動増幅センスアンプ
- 5 ビット線チャージトランジスタ
- 6 ビット線ディスチャージトランジスタ
- 7 カラム選択トランジスタ
- 8 ベアカラム選択トランジスタ
- 9 ロウデコーダ
- 10 メインセンスアンプ
- 11 ビット線プリチャージトランジスタ
- 15 マルチポートRAMメモリセル
- 19 出力バッファ



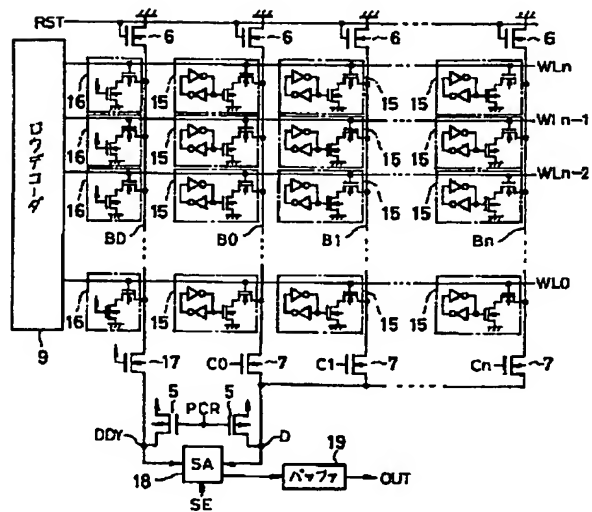
【図1】



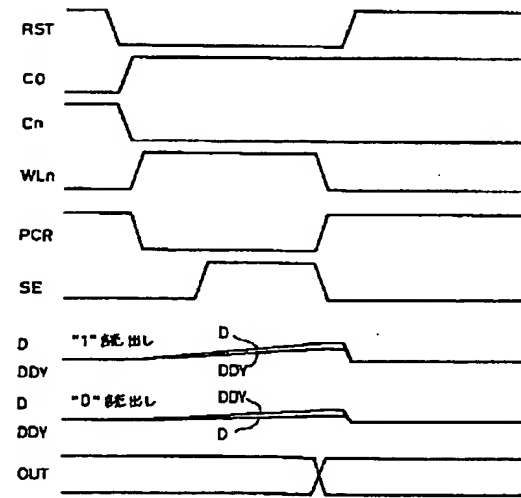
【図2】



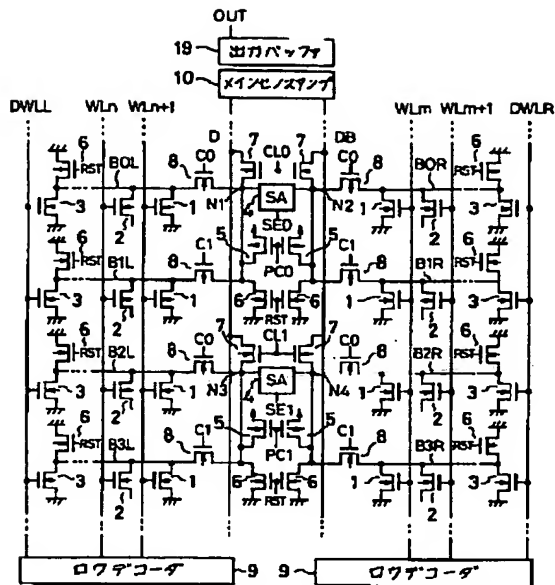
【図3】



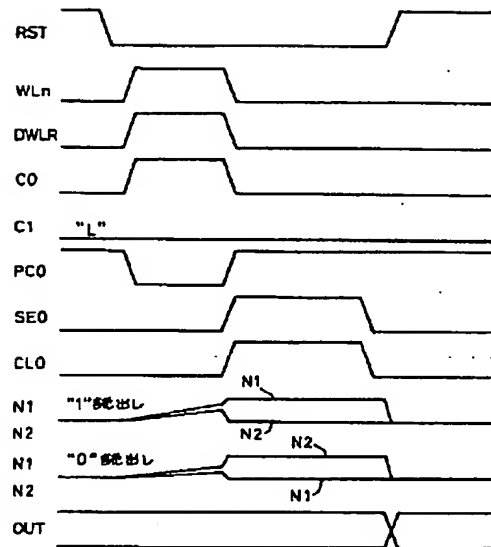
【図4】



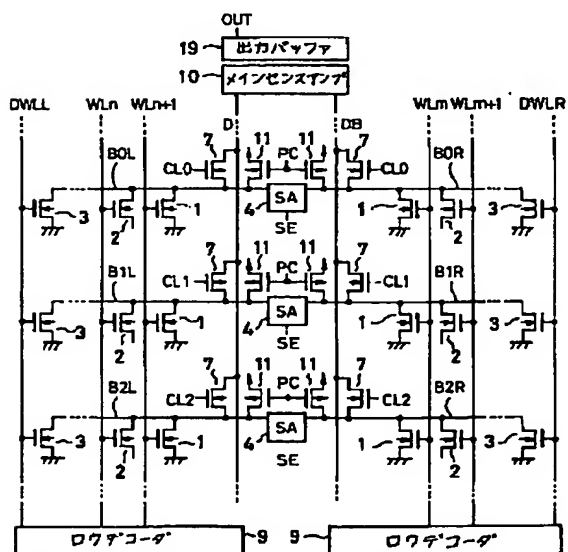
【図5】



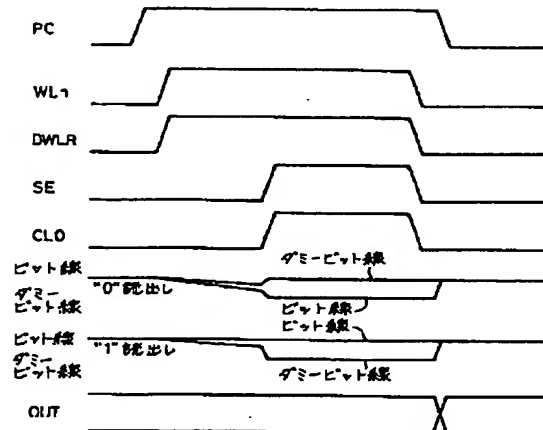
【図6】



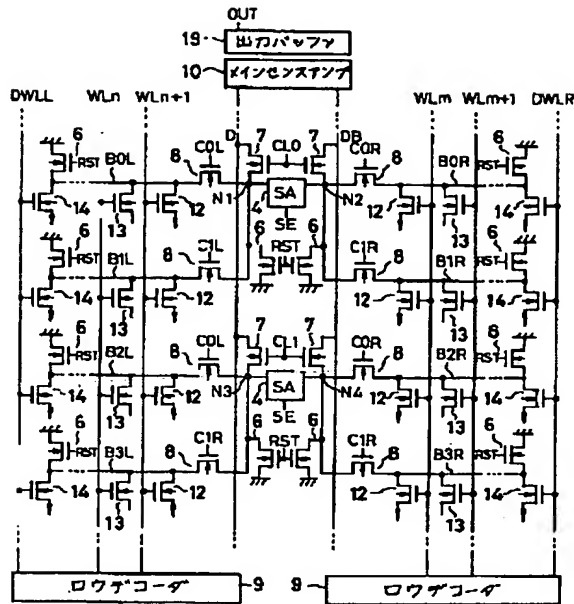
【図7】



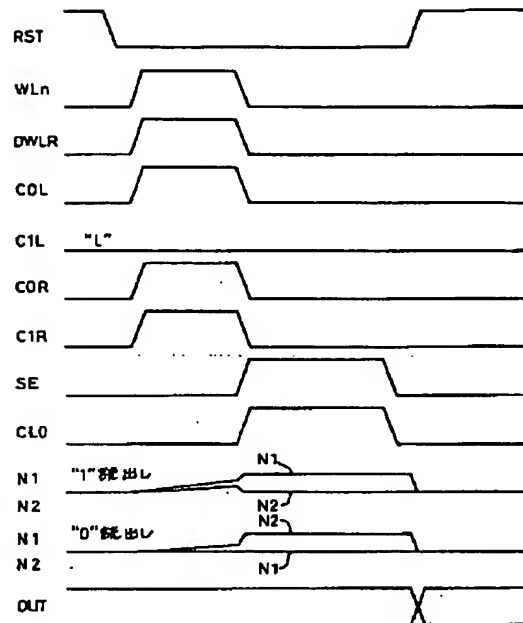
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. 6

G11C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

6866-5L

G11C 11/40

17/00

B

520 C